

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

(11)特許出願公開番号

(43)公開日 平成6年(1994)3月25日

3 3 5 A

審査請求 未請求 請求項の数 4 (全 16 頁)

(74)代理人 弁理士 青木 朗 (外3名)

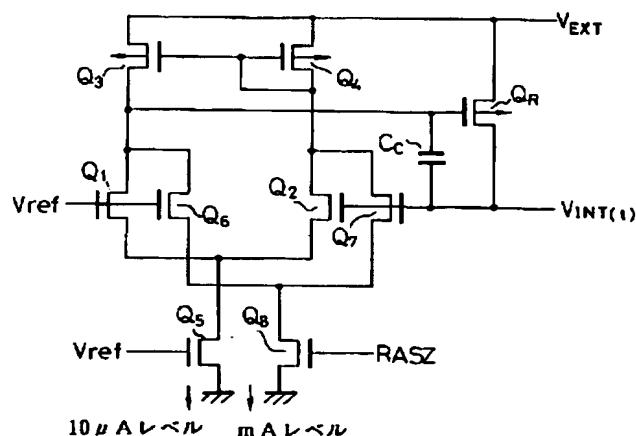
(54)【発明の名称】 半導体装置

(57) 【要約】

【目的】 安定した電圧を供給するための電圧制御回路をチップ上に搭載した半導体装置に関し、どのような状況下においても安定した動作が可能な電圧制御回路を搭載した半導体装置の提供を目的とする。

【構成】 チップ上に電圧制御回路を搭載した半導体装置であって、前記電圧制御回路は、一対の負荷デバイス Q_3 、 Q_4 を共通に持ち、ゲート同士およびドレイン同士が共通に接続された複数の差動増幅トランジスタ対 Q_1 、 Q_2 ； Q_6 、 Q_7 を具備し、該複数の差動増幅トランジスタ対は、スタンバイ状態を含めて常時動作している第1の差動増幅トランジスタ対 Q_1 、 Q_2 と、アクティブ状態になったときに動作する第2の差動増幅トランジスタ対 Q_6 、 Q_7 とを備えるように構成する。

本発明に係る半導体装置の一実施例を示す回路図



【特許請求の範囲】

【請求項1】 チップ上に電圧制御回路を搭載した半導体装置であって、

前記電圧制御回路は、一対の負荷デバイス（ Q_3, Q_4 ）を共通に持ち、ゲート同士およびドレイン同士が共通に接続された複数の差動増幅トランジスタ対（ $Q_1, Q_2; Q_6, Q_7$ ）を具備し、

該複数の差動増幅トランジスタ対は、スタンバイ状態を含めて常時動作している第1の差動増幅トランジスタ対（ Q_1, Q_2 ）と、アクティブ状態になったときに動作する第2の差動増幅トランジスタ対（ Q_6, Q_7 ）とを備えたことを特徴とする半導体装置。

【請求項2】 前記アクティブ状態になったときに動作する第2の差動増幅トランジスタ対（ Q_6, Q_7 ）のソース側バイアス回路の内部抵抗を、該アクティブ状態への遷移を検出した後前記チップがスタンバイ状態に入るまでの間に、徐々に低下させるようにしたことを特徴とする請求項1の半導体装置。

【請求項3】 前記第2の差動増幅トランジスタ対（ Q_6, Q_7 ）のソース側バイアス回路を構成するトランジスタ（ Q_8 ）のゲートに対して、積分回路を経由したチップ活性化クロック信号（RASZ）を印加するようにしたことを特徴とする請求項2の半導体装置。

【請求項4】 前記第2の差動増幅トランジスタ対（ Q_6, Q_7 ）のソース側バイアス回路を構成するトランジスタ（ Q_8 ）を、並列接続した複数のトランジスタ（ Q_{81}, Q_{82}, Q_{83} ）で構成し、該並列接続した複数のトランジスタ（ Q_{81}, Q_{82}, Q_{83} ）の各ゲートに対して、異なる遅延を与える遅延回路（DD）を介してチップ活性化クロック信号（RASZ）を印加するようにしたことを特徴とする請求項2の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特に、安定した電圧を供給するための電圧制御回路をチップ上に搭載した半導体装置に関する。近年、DRAMやSRAM等の半導体記憶装置を始めとする集積回路のチップ上に電圧制御回路を搭載し、外部から供給された電圧に対してチップ内に設けた基準電圧発生手段の発する電圧をもとに一定の電圧を供給する回路を有する半導体装置が提供されている。チップ上に定電圧発生回路を搭載するメリットは、一般に『安定化電源』という名称で知られている装置におけるメリットと同じく、非安定な電源を供給しても必要な負荷回路部分では安定な電圧を供給することができる点にある。例えば、外部から5Vの電源を供給したとしても、チップ内部を3Vの電源電

$$V_1 = V_{EXT} - |V_{THOR}|$$

程度となる。尚、図6において、参照符号RAは差動アンプ内部抵抗であり、アンプ部は電流を最小限にしているので、信号周波数の対象範囲ではCcに対して無視で

* 圧仕様で設計しておき、この間にシリーズレギュレータ型の安定化電源回路を入れることにより、外部から供給される電圧の5Vが多少変動しても内部の3Vが安定して供給される。そして、近年、どのような状況下においても安定した動作が可能な電圧制御回路を搭載した半導体装置の提供が要望されるようになっている。

【0002】

【従来の技術】 図5は従来の半導体装置の一例を示す回路図であり、フィードバック制御型のシリーズレギュレータ回路を示すものである。同図に示されるように、チップ上に搭載する一般的なシリーズレギュレータ回路は、Pチャネル型MOSトランジスタ Q_3, Q_4, Q_R ; Nチャネル型MOSトランジスタ Q_1, Q_2, Q_5 およびキャパシタCcを備えて構成されている。

【0003】 参照符号 V_{EXT} は外部から供給される電源電圧を示し、 V_{REF} は、例えば、チップ内に設けた基準電圧発生手段で発生された基準電圧を示し、そして、 V_{INT} は内部回路に供給する電圧を示している。また、図5に示されるように、トランジスタ Q_3, Q_4 は一対の負荷デバイスを構成し、トランジスタ Q_1, Q_2 は差動増幅トランジスタ対を構成するようになっている。ここで、トランジスタ Q_5 は、差動増幅トランジスタ対 Q_1, Q_2 とグランドとの間に設けられ、そのゲートには基準電圧 V_{REF} が印加されている。

【0004】 まず、図5に示すシリーズレギュレータ（内部降圧レギュレータ）回路を対象回路として、過渡応答についての論理解析を行う。すなわち、解析的手法を主体に内部降圧レギュレータの過渡応答を推測して設計的に留意すべきキーポイントを明確にし、また、回路シミュレーションにおける追求すべき方向づけを行うために、内部降圧レギュレータの過渡応答についての理論解析を行う。

【0005】 図5の回路において、フィードバック制御は長周期変動に対するものだけであって、差動アンプは電流を最小限に絞るようになっている。すなわち、相対的にトランジスタ Q_R の寸法を大きく設定するようになっている。一方、短周期変動に対しては、キャパシタCcを通じてのトランジスタ Q_R のゲート電圧変調により、該トランジスタ Q_R のドレイン電流を変化させて対応するようになっている。

【0006】 図6は図5の半導体装置の短周期変動に対する等価回路を示す図である。上述した図5の回路は、短周期変動に対しては等価的に図6のようになる。図6の等価回路において、バイアス電圧 V_1 は、トランジスタ Q_R がスタンバイ時に I_{CC2} （約50 μA ）相当を供給するのに十分な電圧となっており、

$$\dots\dots (1)$$

きる程に十分大きなインピーダンスとなっている。つまり、トランジスタ Q_R のゲートは、交流的にフローティング状態であると考えることができる。

【0007】次に、動作解析を行うために、図6をもとにして図7のモデル回路を考えることにする。図7は従来の半導体装置の問題を説明するためのモデル回路を示す図であり、同図中、参照符号 C_0 は負荷配線系固定容量を示し、また、 C_L はクロック動作で瞬時動作する回路の内部容量（例えば、センスアンプ動作瞬時に見える*

$V_{G(t)}$ と $V_{INT(t)}$ のスタンバイ時（ $t=0^-$ ）における値は、

$$\left. \begin{aligned} V_{G(t=0^-)} &= V_{EXT} - |V_{THQR}| \\ V_{INT(t=0^-)} &= V_{INTO} \end{aligned} \right\} \dots\dots (2)$$

である。また、スイッチ投入直後（ $t=0^+$ ）には電荷再分配則によって、

$$V_{INT(t=0^+)} = \frac{C_0}{C_0 + C_L} V_{INTO} \dots\dots (3)$$

となる。さらに、 $V_{G(t)}$ は、キャパシタ C_c およびトランジスタ Q_R のゲート～ソース間容量 C_{GS} によって、

$$\begin{aligned} V_{G(t=0^+)} &= V_{G(t=0^-)} - \frac{C_c}{C_c + C_{GS}} (V_{INTO} - V_{INT(t=0^+)}) \\ &= V_{G(t=0^-)} - \frac{C_c}{C_c + C_{GS}} \cdot \frac{C_L}{C_0 + C_L} V_{INTO} \dots\dots (4) \end{aligned}$$

に変化する。

このとき流れるトランジスタ Q_R のドレイン電流 $I_{D(t=0^+)}$ は、

$$\begin{aligned} I_{D(t=0^+)} &= \frac{W}{2L} \mu C_{OX} (\overbrace{V_{EXT} - V_{G(t=0^+)} - |V_{THQR}|}^{V_{GS}})^2 \\ &= \frac{W}{2L} \mu C_{OX} \left(\frac{C_c}{C_c + C_{GS}} \cdot \frac{C_L}{C_0 + C_L} \right)^2 V_{INTO}^2 \dots\dots (5) \end{aligned}$$

【0010】が流れる。さて、 $V_{INT(t)}$ と $I_{D(t)}$ の関係は I_D によって $C_0 + C_L$ を充電し、且つ、 C_c および C_{GS} の直列容量を充電する関係にあるので、次のように

*ビット線容量、或いは、リセット時に見えるデコーダ等のプリチャージ容量）である。

【0008】 $V_{G(t)}$ と $V_{INT(t)}$ のスタンバイ時（ $t=0^-$ ）における値は、

【0009】

【数1】

【数1】

表わすことができる。

【0011】

【数2】

$$I_{D(t)} = \underbrace{(C_o + C_L) \frac{d}{dt} V_{INT(t)}}_{i_1} + \underbrace{\frac{C_c C_{GS}}{C_c + C_{GS}} \frac{d}{dt} V_{INT(t)}}_{i_2} \dots\dots (6)$$

時刻 t における Q_R のゲート電圧は、(4) 式と同様にして、

$$V_{G(t)} = V_{G(t=0^-)} - \frac{C_c}{C_c + C_{GS}} (V_{INT0} - V_{INT(t)}) \dots\dots (7)$$

である。従って、ドレイン電流は、

$$\begin{aligned} I_{D(t)} &= \frac{W}{2L} \mu C_{ox} (\overbrace{V_{EXT} - V_{G(t)} - |V_{ThQR}|}^{V_{GS(t)}})^2 \\ &= \frac{W}{2L} \mu C_{ox} [V_{EXT} - V_{G(t=0^-)} + \frac{C_c}{C_c + C_{GS}} \\ &\quad \cdot (V_{INT0} - V_{INT(t)}) - |V_{ThQR}|]^2 \\ &= \frac{W}{2L} \mu C_{ox} \left(\frac{C_c}{C_c + C_{GS}} \right)^2 (V_{INT0} - V_{INT(t)})^2 \dots\dots (8) \end{aligned}$$

である。(6) 式および (8) 式より、

$$\begin{aligned} &(C_o + C_L) \frac{d}{dt} V_{INT(t)} + \frac{C_c C_{GS}}{C_c + C_{GS}} \frac{d}{dt} V_{INT(t)} \\ &= \frac{W}{2L} \mu C_{ox} \left(\frac{C_c}{C_c + C_{GS}} \right)^2 (V_{INT0} - V_{INT(t)})^2 \dots\dots (9) \end{aligned}$$

【0012】ここで、この微分方程式(9)を解くために、

【0013】
【数3】

$$f_{(t)} \equiv V_{INT0} - V_{INT(t)} \quad \left. \begin{array}{l} \frac{W}{2L} \mu C_{ox} \left(\frac{C_c}{C_c + C_{gs}} \right)^2 \\ A \equiv \frac{C_o + C_L + \frac{C_c + C_{gs}}{C_c + C_{gs}}}{C_c + C_{gs}} \end{array} \right\} \dots\dots (10)$$

と置く、これを用いて(9)式を書き直すと、

$$- \frac{d}{dt} f_{(t)} = A f_{(t)}^2 \quad \dots\dots (11)$$

となる。これは変数分離することができ、

$$A dt = - \frac{df_{(t)}}{f_{(t)}^2} \quad \dots\dots (12)$$

この解は、

$$f_{(t)} = \frac{1}{A(t - \text{const})} \quad \dots\dots (13)$$

で表わされる。ゆえに、

$$V_{INT0} - V_{INT(t)} = \frac{1}{A(t - \text{const})} \quad \dots\dots (14)$$

時刻 $t = 0$ ($t = 0^+$) において、

$$V_{INT0} - V_{INT(t=0^+)} = - \frac{1}{A \cdot \text{const}} \quad \dots\dots (15)$$

【0014】 (3) 式の関係から、
【0015】

【数4】

$$\begin{aligned}
 \text{const} &= \frac{1}{A (V_{\text{INTO}} - V_{\text{INT}(t=0^+)})} \\
 &= - \frac{1}{A \frac{C_L}{C_o + C_L} V_{\text{INTO}}} \\
 &= - \frac{C_o + C_L}{A C_L V_{\text{INTO}}} \quad \dots\dots (16)
 \end{aligned}$$

を得る。これを (14) 式に適用すると、

$$\begin{aligned}
 V_{\text{INTO}} - V_{\text{INT}(t)} &= \frac{1}{A \left(t + \frac{C_o + C_L}{A C_L V_{\text{INTO}}} \right)} \\
 &= \frac{1}{A t + \frac{C_o + C_L}{C_L} \cdot \frac{1}{V_{\text{INTO}}}} \quad \dots\dots (17)
 \end{aligned}$$

【0016】が得られる。ここで、(17) 式によって、各回路定数さえ判れば V_{INT} の過渡変化が計算できることになる。また、(17) 式の関数形を見ると $V_{\text{INT}(t)}$ は双曲線であり、 A の値が大きい程漸近線に近づくことになる。尚、 A の値を大きくするには、トランジスタ Q_R の利得を大きくし、且つ、容量 C_c を大きくすることである。

【0017】図8は図7のモデル回路における内部電圧の時間変化 $V_{\text{INT}(t)}$ を示す図である。次に、図8の変化を実デバイスのパラメータで計算し、実デバイスパラメータでの検証を行うことにする。まず、次のような仮定を導入する。

【0018】

【数5】

$$C_o = 1000 \text{ pF}$$

$$C_L = 3500 \text{ pF} \quad (\text{注1})$$

$$\mu = 0.02247 \text{ m}^2/\text{Vs} \quad (\text{注2})$$

$$W = 10000 \text{ }\mu\text{m}$$

$$L = 0.5 \text{ }\mu\text{m}$$

$$C_{ox} = 4.206 \times 10^{-3} \text{ F/W}^2 \quad (\text{注3})$$

$$C_c = 100 \text{ pF}$$

$$C_{gs} = 0.6 C_g = 0.6 L \cdot W \cdot C_{ox} \rightarrow 1.262 \times 10^{-10} (\text{F}) = 126 \text{ pF}$$

(注4)

(注1) : $V_{cc} = 3.3 \text{ V}$ 、 $P_d = 250 \text{ mW}$ @ 150 ns サイクルのチップを考える。メモリーチップを1つの容量 c の充放電でパワーが決っていると仮定すると、1秒当り $1/150 \times 10^{-9}$ 回の充放電をしていることになる。一方 P_d/V_{cc} は平均電流であり1秒間に流れる電流が前記充放電電荷に相当する。よって、

$$C \times 3.3^v \times \frac{1^s}{150 \times 10^{-9}s} = \frac{250 \times 10^{-3}w}{3.3^v} \times 1^s \quad \dots\dots (18)$$

これより c を求めると $c = 3.44 \times 10^{-9} \text{ F}$ つまり 3440 pF に相当する。

(注2) : 16MSRAM用の実測データ(9522-M5)で $W/L = 10/0.5$ のPMOS、 $t_{ox} = 80 \text{ \AA}$ で $V_{Th} = -0.5 \text{ V}$ 、 $I_D = -3.7 \text{ mA}$ @ $V_G = V_D = -3.3 \text{ V}$ 。これより計算した。

(注3) : $t_{ox} = 80 \text{ \AA}$ に対応するもの

(注4) : 五極管領域では近似的に全ゲート容量の60%が C_{gs} になる。

【0019】 以上の場合、
【0020】

【数6】

$$A = \frac{\frac{100000}{2 \times 0.5} \times 0.02247 \times 4.206 \times 10^{-3} \left(\frac{100p}{100p + 126.2p} \right)^2}{1000p + 3500p + \frac{100p + 126.2p}{100p + 126.2p}}$$

$$= 4.054 \times 10^8 \rightarrow 1.652 \times 10^8 \quad \dots\dots (19)$$

@W=10000 μm

$$V_{INT0} = 2.4 V$$

$$\therefore V_{INT(t)} = 2.4 - \frac{1}{4.054 \times 10^8 t + \frac{1000 + 3500}{3500} \times \frac{1}{2.4}}$$

$$\approx 2.4 - \frac{1}{4 \times 10^8 t + 0.536} \quad \dots\dots (20)$$

【0021】さらに、抵抗成分の影響を考慮する。図9は従来の半導体装置において、内部電圧の変化を実際のパラメータを用いて計算した結果を示す図であり、図10は図7のモデル回路に抵抗成分を含めたときの回路を示す図である。図9の結果は、配線系の抵抗を入れていないため $t = 0^+$ において、過激な内部電圧 V_{INT} の降下が起っている。しかしながら、実際には、図10に示す回路のように C_L には必ず配線抵抗、或いは、トランジスタ T_r の内部抵抗が入る。この回路の応答は解析的に見通しが良くないのでシミュレーションを主体にした*

20*方が良いが、定性的に応答は次のようになる。

【0022】スイッチ SW の投入直後、 $R = 0$ とした前の解析では直ちに電荷再配分が起ったため急激な内部電圧 $V_{INT(t)}$ の降下があったが、抵抗 R_L が存在すると、トランジスタ Q_R の影響を考えない場合、内部電圧 $V_{INT(t)}$ は C_0 、 C_L 、 R_L の応答は微分方程式を解くと（解くまでもなく）、

【0023】

【数7】

$$V_{INT(t)} = V_{INT0} \left[\frac{C_0}{C_0 + C_L} + \frac{C_L}{C_0 + C_L} \exp \left\{ -\frac{1}{R_L} \left(\frac{1}{C_0} + \frac{1}{C_L} \right) t \right\} \right]$$

@ Q_R なし) (21)

である。そのグラフは図11のようになる。

$t = 0^+$ における接線 $dV_{INT(t)}/dt$ は R_L を通して C_0 から C_L を充電する電流に対応し、接線の傾きは、

$$\left. \frac{d}{dt} V_{INT(t)} \right|_{t=0} = - \frac{V_{INT0}}{R_L C_0} \quad \dots\dots (22)$$

【0024】である。図10の回路においては、内部電圧 $V_{INT(t)}$ の変化は、抵抗 R_L に流れる電流としてトランジスタ Q_R からの電流と容量 C_0 および C_L との電荷再配分による電流の合成で決定されるため、図12に示されるように、時間 $t = 0^+$ 付近では抵抗 R_L の影響によって、内部電圧 $V_{INT(t)}$ の急降下は制限され、時間とともにトランジスタ Q_R の特性に支配されるようにな

る。つまり、抵抗 R_L の存在で図9のような急激な内部電圧 $V_{INT(t)}$ の低下は生じなくなる。どの程度低下するかは(21)式によって、抵抗 R_L 及び容量 C_0 に依存することになる。

【0025】

【数8】

$t = 0^+$ における接線が $V_{INT(t)} = \frac{C_o}{C_o + C_L} V_{INT0}$ と交わる時刻を t_1 と

する。 t_1 を計算することは $V_{INT(t)}$ の曲線が $t = 0^+$ 付近でどのような過渡特性を示すかを推定するのに役立つ。接線は、

$$V_{(t)} = - \frac{V_{INT0}}{R_L C_o} t + V_{INT0} \quad \dots\dots (23)$$

であるから、 $V_{(t)} = \frac{C_o}{C_o + C_L} V_{INT0}$ となる t_1 は、

$$t_1 = \frac{C_o C_L R_L}{C_o + C_L} \quad \dots\dots (24)$$

【0026】と求まる。前記の値を用いると ($C_o = 1$

$$t_1 = 777.8 \times 10^{-12} \text{ R}_L$$

となる。 $R_L = 10 \Omega$ のとき $t_1 = 7.78 \text{ ns}$ 、 $R_L = 100 \Omega$ のとき 77.8 ns であるため、図 9 における $t = 0$ 近傍において、内部電圧 $V_{INT(t)}$ は急激な変化はせず、 $R_L = 10 \Omega$ の場合でも $t = 7.78 \text{ ns}$ へ向けて電圧が降下していく。また、トランジスタ Q_R の効果によって、 $t = 7 \sim 8 \text{ ns}$ 頃には内部電圧 $V_{INT(t)}$ はかなり回復しているため、これらを総合的に見ると内部電圧 $V_{INT(t)}$ の過渡変化は意外に小さいようである。尚、変動幅の詳細な値は解析的手法よりもシミュレーションを活用した方が良いと思われる。

【0027】次に、帰還回路の作用に付いて考察する。帰還回路の作用によって、 $V_{INT(t)}$ が V_{INT0} に対して降下した場合、トランジスタ Q_R のゲート電圧をグランド側へ引いて、 $V_{INT(t)}$ を増大させるように Q_1 の駆動が始まる。 Q_1 、 Q_2 (図 5 参照) の駆動力は弱く設定されており、 Q_R の C_C がミラー効果で大容量に見えることから Q_1 側からの駆動効果は $t = 0^+$ 付近ではすぐには現れない。

0.00 pF 、 $C_L = 3500 \text{ pF}$)、

$$\dots\dots (25)$$

【0028】しかしながら、 Q_1 、 Q_2 は $V_{INT(t)}$ が V_{INT0} よりも低い間は、 $V_{INT(t)}$ を増大させるように駆動しつづける。図 9 から明らかなように、 $V_{INT(t)}$ がほぼ完全に V_{INT0} に回復するには 100 ns 程度かかるので

(帰還効果を考えないとき)、 Q_1 、 Q_2 の駆動は相応の長時間続くことになる。 Q_1 、 Q_2 の動作をコンパレータ的なものと近似し、 Q_1 がオン、 Q_2 がオフと考える。こうすると Q_1 の駆動電流は Q_3 の電流で決定されるので、 Q_3 を近似的に定電流源とすると、この値はスタンバイ時に増幅系に許される消費電流 ($\approx 10 \mu\text{A}$) そのものである。これを I_s と表わすと、 $t = t_1$ 近傍における C_o 、 C_L での電荷再配分効果が消滅して Q_R からの充電作用が主体になる $t = t_2$ ($t_2 > t_1$) における回路動作は、図 13 に示されるように、 R_L の効果を無視して考えることができる ($C_L R_L$ の直列回路が完全に容量性に見える)。このとき回路方程式は、

【0029】

【数 9】

$$(C_o + C_L) \frac{dV_{INT(t)}}{dt} + \frac{C_L C_G}{C_L + C_G} \cdot \frac{dV_{INT(t)}}{dt} = I_D \quad \dots\dots (26)$$

$$\begin{aligned} V_{G(t)} &= V_{G(t=0^-)} - \frac{C_c}{C_c + C_G} (V_{INT0} - V_{INT(t=0^+)}) \\ &\quad \cdot V_{CC} - |V_{ThP}| \\ &\quad + \frac{C_c}{C_c + C_G} (V_{INT(t)} - V_{INT(t=0^+)}) - \frac{I_s t}{C_c + C_G} \\ &= V_{EXT} - |V_{ThP}| - \frac{C_c}{C_c + C_G} (V_{INT0} - V_{INT(t)}) - \frac{I_s t}{C_c + C_G} \\ &\quad \dots\dots (27) \end{aligned}$$

$$\begin{aligned} I_D &= \frac{W}{2L} \mu C_{ox} \{V_{EXT} - V_{G(t)} - |V_{ThP}|\}^2 \\ &= \frac{W}{2L} \mu C_{ox} \left\{ \frac{C_c}{C_c + C_G} (V_{INT0} - V_{INT(t)}) + \frac{I_s t}{C_c + C_G} \right\}^2 \\ &= \frac{W}{2L} \mu C_{ox} \left(\frac{C_c}{C_c + C_G} \right)^2 \left\{ V_{INT0} - V_{INT(t)} + \frac{I_s t}{C_c} \right\}^2 \quad \dots\dots (28) \end{aligned}$$

$$\text{ここで再び } A = \frac{\frac{W}{2L} \mu C_{ox} \left(\frac{C_c}{C_c + C_G} \right)^2}{C_o + C_L} \quad \text{とおくと、方程式は、}$$

$$\frac{dV_{INT(t)}}{dt} = A (V_{INT0} - V_{INT(t)} + \frac{I_s}{C_c} t)^2 \quad \dots\dots (29)$$

【0030】となる。この方程式をRunge-Kutta法で数値解すると、図14の特性を得る。尚、 $t=0$ 付近は R_L の影響が強く上式の解の妥当性がないので、 R_L が無視できる $t \geq 20\text{ns}$ で示した。上述した数値解の結果を見ると、 $V_{INT(t)} \geq 2.4\text{V}$ となるのは $t=190\text{ns}$ 付近 ($W=100000\mu\text{m}$, $I_s=10\mu\text{A}$)

$$W=100000\mu\text{mのとき } V_{G(t=190\text{ns})} = V_{EXT} - |V_{ThP}| - 0.00841$$

$$W=10000\mu\text{mのとき } V_{G(t=300\text{ns})} = V_{EXT} - |V_{ThP}| - 0.01327$$

となる。つまり $W=100000\mu\text{m}$ においては8.4mV、 $10000\mu\text{m}$ においては13.3mVだけゲートバイアスがかかっており、 $V_{INT(t)}$ が V_{INT0} をクロスすることで誤差増幅器 Q_1 , Q_2 が I_s を引くのをやめ、逆に I_s を供給するようになってもしばらくは Q_R はオン状態を続けるので $V_{INT(t)}$ はオーバーシュートをしてしまう。

【0031】実際にはDRAMは190nsより速いサイ

* A 、 $C_c=100\text{pF}$ であり、 $t \geq 190\text{ns}$ 以降 $V_{INT(t)} > V_{INT0}$ となるため Q_1 , Q_2 のコンパレータが反転して I_s を引く動作が起らなくなる。 $W=10000\mu\text{m}$ ではこれは $t=300\text{ns}$ のときになる。一方、 $V_{G(t)}$ の経時変化を考えると、(27)式から、

クルタイムで動くので $V_{INT(t)}$ が完全に回復する前に次のサイクルに入ってしまう。この結果 $V_{INT(t)} < V_{INT0}$ の状態は長期間つづき、この間誤差増幅器は I_s を引っぱなしになる。この結果 Q_R のゲート電圧はかなり V_{ss} 側に引かれた状態で動作が続くため、突然スタンバイに入ったときには Q_R は直ちにカットオフはできず、 $V_{INT(t)}$ のオーバーシュートは無視できない大きさになる恐れがある。

【0032】

【発明が解決しようとする課題】 上述したように、図5に示すシリーズレギュレータ（内部降圧レギュレータ）回路には、チップがアクティブ状態で過渡的に急激に変化するチップの消費電流に対して常に一定の電圧を供給する電圧制御能力と共に、チップがスタンバイ状態となっているときに回路自身が消費する電力を最小とすることが必要とされている。そこで、従来、スタンバイ時の消費電流を抑制するために、フィードバック制御用アン

10 プに流す電流を数十マイクロアンペア程度とするようになっている。その結果、長期的な（例えば、数秒程度）の変化に対しては、フィードバック制御が効果を持って出力電圧を常に基準電圧（参照電圧）に等しくなるようにすることができるが、短期的（数十ナノ秒程度）の変化に対しては、アンプの電流が小さく負荷を高速に駆動する能力はない。

【0033】 また、直列制御用のpMOSトランジスタのゲートとドレインの間には、意図的に大きな容量を挿入し、負荷側の電流が急激に変化して制御トランジスタのドレイン電圧が変化したとき、その変化をゲートに及

20 ぶようにする。つまり、高速な負荷電流変化に対しては、差動増幅器による制御は効果を持たず、容量結合でゲート電圧を変調するだけにする。

【0034】 ところで、従来の回路の場合、負荷電流が急増した場合に出力電圧は降下し、徐々に回復する。しかしながら、本発明者の解析によれば、DRAMの内部電源系には、3000ピコファラッド程度の充電放電する容量があり、さらに、これに並列に電圧安定化のための容量が付加される。この容量を2000ピコファラッドとして、この端子間電圧の回復は数百ナノ秒を要するため、DRAMのようにサイクルタイムが120ナノ秒程度のデバイスでは電圧が完全に回復する前に次のサイクルに入ってしまい、再び大きな負荷電流が流れる。これを繰り返していると、チップ内の電圧は、常に正規の電圧よりも若干低い状態が続くため、長期的変化に対応して動作するフィードバック制御回路系は出力電圧を高くするように直列制御トランジスタを常に駆動することになる。

【0035】 この結果、速いサイクルタイムで高速動作していたチップが突然スタンバイ状態に入ったとき、直列制御トランジスタのゲート・ドレイン間に挿入されていた容量（数百ピコファラッド）には、当該トランジスタの内部抵抗を最も低下させる方向のバイアス電圧が充電されているため、これが制御増幅器の電流によって充電されるまでは当該トランジスタは内部抵抗が低い状態を続ける。この結果、負荷電流が殆ど無いスタンバイ状態でのチップ内部電源電圧が規定値よりも増大し、次にアクティブ状態にないと再び内部電源電圧が低下するという不安定なサイクルを繰り返す恐れがある。

【0036】 このような電源電圧の不安定は、メモリセ

ル内の蓄積電荷に対しては、『電源バンプ』と呼ばれる効果によって、正規の電荷量よりも実効的な電荷量の減殺を生じさせる効果を持つ。この結果、センスアンプの感度が悪い場合や α 線がチップに入射して雑音信号電荷を発生させていた場合等と重複したとき、容易にDRAMチップに誤動作を起こすことになる。

【0037】 本発明は、上述した従来の半導体装置が有する課題に鑑み、どのような状況下においても安定した動作が可能な電圧制御回路を搭載した半導体装置の提供を目的とする。

【0038】

【課題を解決するための手段】 本発明によれば、チップ上に電圧制御回路を搭載した半導体装置であって、前記電圧制御回路は、一対の負荷デバイス Q_3, Q_4 を共通に持ち、ゲート同士およびドレイン同士が共通に接続された複数の差動増幅トランジスタ対 $Q_1, Q_2; Q_6, Q_7$ を具備し、該複数の差動増幅トランジスタ対は、スタンバイ状態を含めて常時動作している第1の差動増幅トランジスタ対 Q_1, Q_2 と、アクティブ状態になったときに動作する第2の差動増幅トランジスタ対 Q_6, Q_7 とを備えたことを特徴とする半導体装置が提供される。

【0039】

【作用】 本発明の半導体装置によれば、複数の差動増幅トランジスタ対は、スタンバイ状態を含めて常時動作している第1の差動増幅トランジスタ対 Q_1, Q_2 と、アクティブ状態になったときに動作する第2の差動増幅トランジスタ対 Q_6, Q_7 とで構成されている。そして、アクティブ状態になったときに動作する第2の差動増幅トランジスタ対 Q_6, Q_7 のソース側バイアス回路の内部抵抗は、該アクティブ状態への遷移を検出した後チップがスタンバイ状態に入るまでの間に、徐々に低下させるようになっている。

【0040】 これによって、本発明に係るチップ上に電圧制御回路を搭載した半導体装置は、どのような状況下においても安定した動作を行うことができる。

【0041】

【実施例】 以下、図面を参照して本発明に係る半導体装置の実施例を説明する。図1は本発明に係る半導体装置の一実施例を示す回路図であり、フィードバック制御型のシリーズレギュレータ回路（内部降圧レギュレータ回路）を示すものである。同図に示されるように、本実施例のチップ上に搭載するシリーズレギュレータ回路は、Pチャネル型MOSトランジスタ Q_3, Q_4, Q_R ; Nチャネル型MOSトランジスタ $Q_1, Q_2, Q_5, Q_6, Q_7, Q_8$ およびキャパシタ C_c を備えている。

【0042】 参照符号 V_{EXT} は外部から供給される電源電圧を示し、 V_{REF} は、例えば、チップ内に設けた基準電圧発生手段で発生された基準電圧を示し、そして、 V_{INT} は内部回路に供給する電圧を示している。また、図1に示されるように、トランジスタ Q_3, Q_4 は一対の負

荷デバイスを構成し、トランジスタ Q_1, Q_2 は第1の差動増幅トランジスタ対を構成し、さらに、トランジスタ Q_6, Q_7 は第2の差動増幅トランジスタ対を構成するようになっている。ここで、トランジスタ Q_5 は、差動増幅トランジスタ対 Q_1, Q_2 のソースとグランドとの間に設けられ、そのゲートには基準電圧 V_{ref} が印加され、また、トランジスタ Q_8 は、差動増幅トランジスタ対 Q_6, Q_7 のソースとグランドとの間に設けられ、そのゲートにはチップ活性化クロック信号 $RASZ$ が供給されている。

【0043】第1の差動増幅トランジスタ対 Q_1, Q_2 は、スタンバイ状態を含めて常時動作しており、常に、トランジスタ Q_5 を介して、 $10\mu A$ 程度の電流が流されている。また、第2の差動増幅トランジスタ対 Q_6, Q_7 は、アクティブ状態になったときだけ動作するようになっており、アクティブ状態において、トランジスタ Q_8 を介して数mA程度の電流が流されることになる。

【0044】このように、本実施例の半導体装置は、従来のチップ上に電圧制御回路を搭載した半導体装置における内部電圧 $V_{INT}(t)$ のオーバーシュートが特定のサイクルタイムの条件で電圧制御回路（内部降圧レギュレータ回路）の存在を意味のないものにしてしまうことを防止するようになっている。すなわち、オーバーシュートを防止するためには、トランジスタ Q_R のゲート電圧を速く安定値に回復させることが必要であり、本実施例の半導体装置では、図1の回路によって、アクティブ時には比較的大電流（mAレベル）でトランジスタ Q_R のゲートを駆動するようになっている。尚、スタンバイ時には、消費電力を最小限に抑えるために、小電流（ μA レベル）でトランジスタ Q_R のゲートを駆動するようになっている。

【0045】図2は図1の半導体装置における内部電圧の回復時刻と駆動トランジスタ電流との関係を示す図であり、図1の回路において、トランジスタ Q_8 の引き抜き電流の値に対して $V_{INT}(t)$ が V_{INT0} である2.4Vまで回復するのに要する時間（これ以降誤差増幅器は反転して $V_{INT}(t)$ のオーバーシュートを抑えるようになる）を求めた結果を示すものである。尚、この計算は、前記(29)式で I_s 値を変えて、 $V_{INT}(t) = V_{INT0}$ となる時刻をRunge-Kutta法で求めたものである。

【0046】この図2に示す結果から明らかなように、誤差増幅器に1mA前後の電流を流しておけば1回のRASサイクル活性期間内で $V_{INT}(t)$ は回復し、その結果、サイクルを続けたときに $V_{INT}(t)$ が低下したままになることに起因した電圧オーバーシュートを防ぐことができる。尚、誤差増幅器に1mA程度の電流を与えることはアクティブサイクル内だけで行うので消費電力上の支障は生じない。

【0047】ところで、トランジスタ Q_8 のターンオンを急激に行うとフィードバックループのゲインが急変

し、その過渡応答が $V_{INT}(t)$ の乱れを生じさせる恐れがある。そこで、トランジスタ Q_8 はゆっくりターンオンするようにゲートに入るRASZの波形を鈍らせて該トランジスタ Q_8 のゲートに印加するのが好ましい。すなわち、アクティブ状態になったときに動作する第2の差動増幅トランジスタ対 Q_6, Q_7 のソース側バイアス回路の内部抵抗を、該アクティブ状態への遷移を検出した後、チップがスタンバイ状態に入るまでの間に、徐々に低下させるようにする。

10 【0048】図3は図1の半導体装置におけるRASZ信号を説明するための図であり、同図(a)はRASZ信号の波形図を示し、同図(b)は好ましいRASZ信号を生成するための回路を示している。図3(b)に示すように、トランジスタ Q_8 のゲートに供給する信号は、チップの活性化信号RASZをインバータ I_0 で反転し、それを抵抗 R_0 および容量 C_0 で構成した積分回路IIで波形を鈍らせるようになっている。すなわち、図3(a)の①に示すように、チップの活性化信号RASZがチップ選択時に高レベルから低レベルに変化すると、その信号はインバータ I_0 により反転された後（図3(a)の②）、積分回路IIに供給される。そして、積分回路IIにより、その波形が鈍らされた信号（図3(a)の③）は、トランジスタ Q_8 のゲートに供給され、これにより、トランジスタ Q_8 の抵抗値（オン抵抗）が、チップの活性化後からチップがスタンバイ状態に入るまでの間に、徐々に低下する（徐々に電流を増大する）ことになる。

20 【0049】これにより、電圧制御回路を搭載した半導体装置を、どのような状況下においても安定して動作させることができる。尚、上述した構成は、チップの活性化信号RASZが立ち下がった（活性化された）後、センスアンプが動作するまでに若干の時間的余裕があるので問題は生じない。図4は図1の半導体装置における要部の変形例を示す回路図である。図1～図3を参照して説明した実施例では、差動増幅トランジスタ対 Q_6, Q_7 のソース側バイアス回路を構成するトランジスタ Q_8 のゲートに対して、積分回路を経由したチップ活性化クロック信号を印加するようになっているが、本実施例では、該トランジスタ Q_8 を並列接続した複数のトランジスタ Q_{81}, Q_{82}, Q_{83} で構成し、これらのトランジスタ Q_{81}, Q_{82}, Q_{83} に対して、異なる遅延を有するチップ活性化クロック信号を印加するようになっている。

30 【0050】すなわち、図4に示されるように、遅延回路DDは、複数のインバータ $I_1 \sim I_6$ を備え、トランジスタ Q_{81} のゲートにはチップ活性化クロック信号RASZを直接供給し、トランジスタ Q_{82} のゲートにはインバータ $I_1 \sim I_4$ を介して遅延されたチップ活性化クロック信号RASZを供給し、そして、トランジスタ Q_{83} のゲートにはインバータ $I_1 \sim I_6$ を介してさらに遅延されたチップ活性化クロック信号RASZを供給するようになっている。これにより、トランジスタ $Q_{81} \sim Q_{83}$ は、時間の経

【 0 0 5 1 】

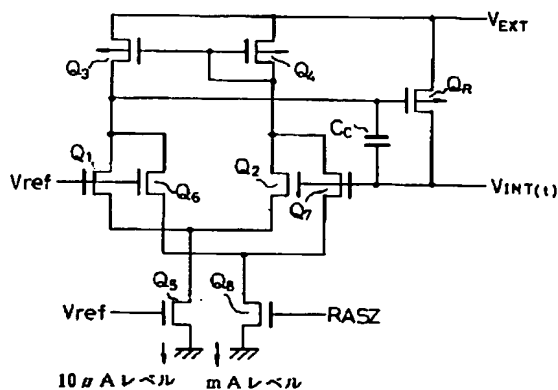
【図面の簡単な説明】

【図5】 従来の半導体装置の一例を示す回路図である。

【図6】図5の半導体装置の短周期変動に対する等価回路を示す図である。

【圖 1】

本発明に係る半導体装置の一実施例を示す回路図



【符号の説明】

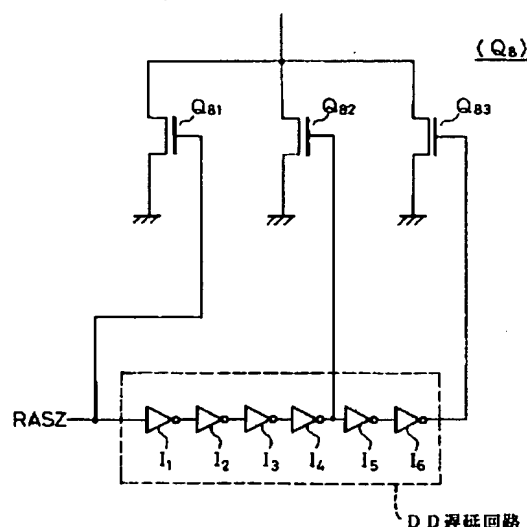
Q₃, Q₄ …負荷デバイス (P型MOSトランジスタ)

Q₆, Q₇ …第2の差動増幅トランジスタ対 (N型MOSトランジスタ)

DD…遲延回路

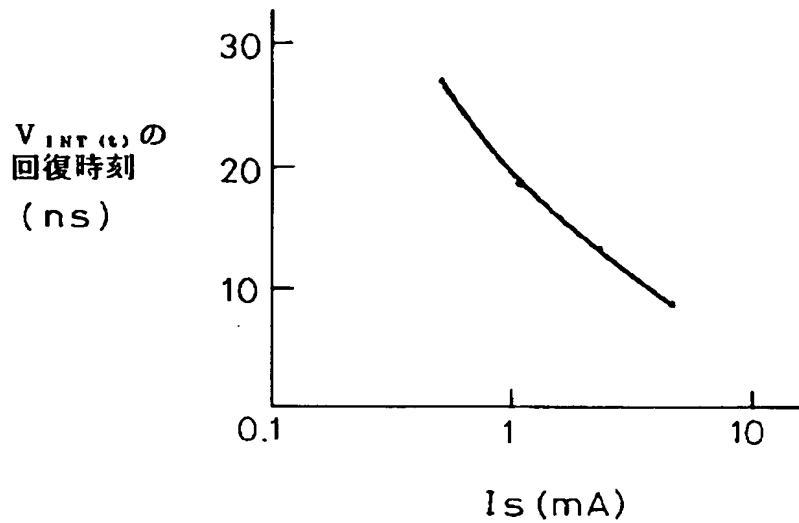
【図 4】

図1の半導体装置における要部の変形例を示す回路図



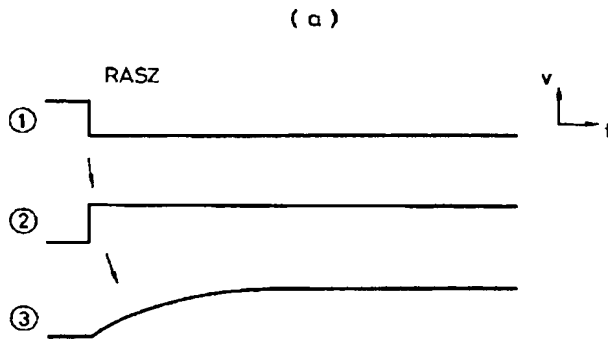
【図2】

図1の半導体装置における内部電圧の回復時刻と駆動トランジスタ電流との関係を示す図

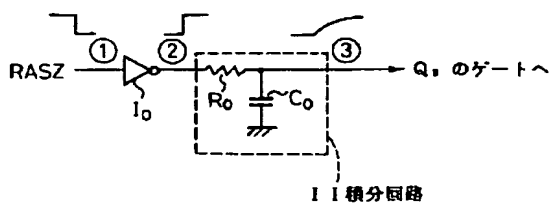


【図3】

図1の半導体装置におけるRASZ信号の波形を示す図

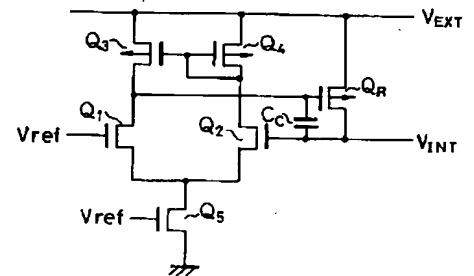


(b)



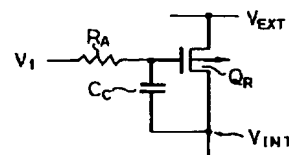
【図5】

従来の半導体装置の一例を示す回路図

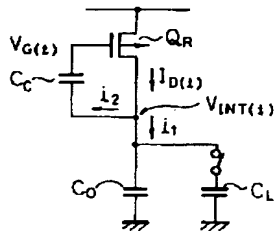


【図6】

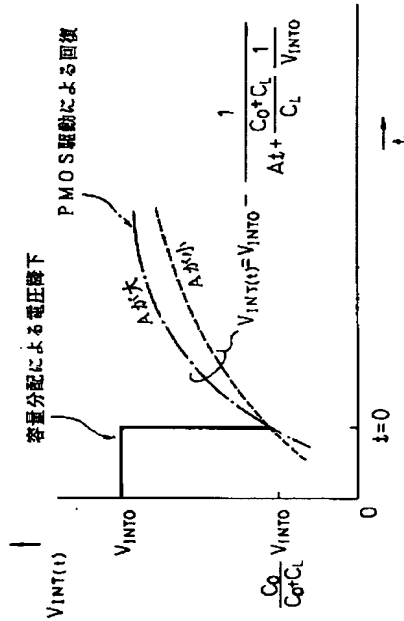
図5の半導体装置の短周期変動に対する等価回路を示す図



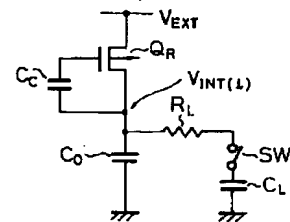
【図7】



【図8】



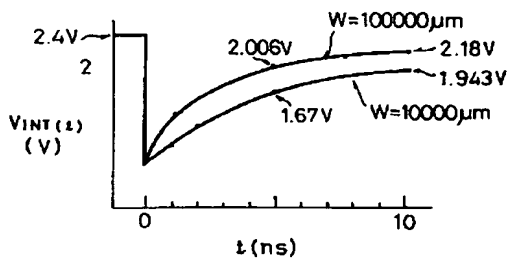
【図10】



従来の半導体装置の問題を説明するための 図7のモデル回路における内部電圧の時間変化を示す図 図7のモデル回路に抵抗成分を含めたときの回路モデル回路を示す図

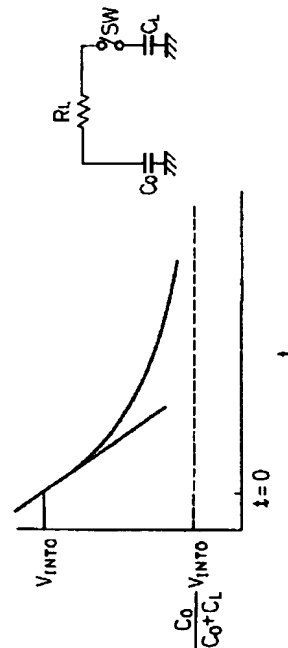
【図9】

従来の半導体装置において、内部電圧の変化を実際のパラメータを用いて計算した結果を示す図



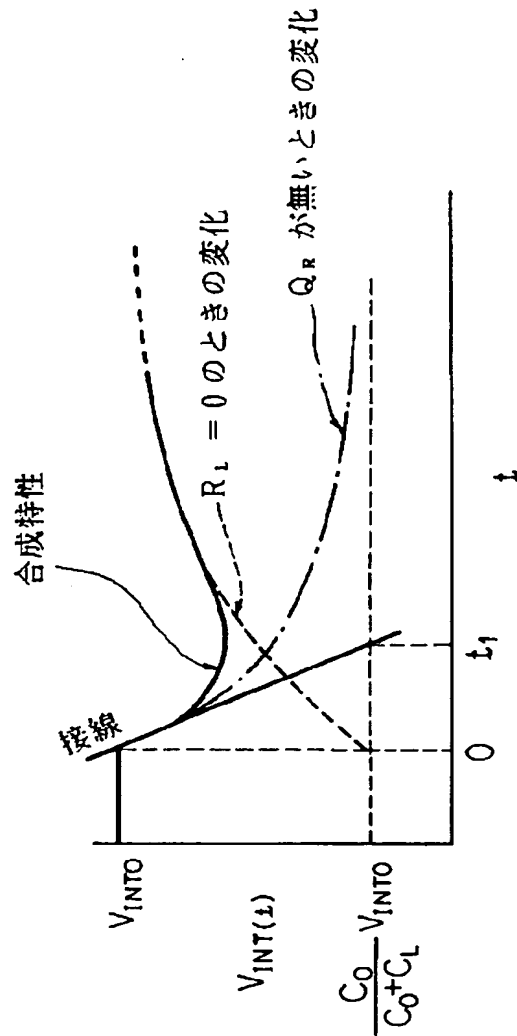
【図11】

図10のモデル回路における電荷配分配での内部電圧の過渡変化を示す図



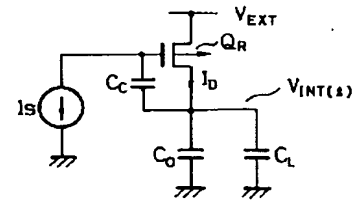
【図 1 2】

図10のモデル回路における内部電圧の時間変化を示す図



【図 1 3】

従来の半導体装置における帰還制御が生じているときのレギュレータ部分の等価回路を示す図



【図 1 4】

帰還制御が生じているときの従来の半導体装置における内部電圧の時間変化を示す図

